

## ⑫ 公開特許公報(A)

昭61-223791

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)10月4日

G 09 G 3/36  
G 02 F 1/133  
G 09 F 9/30

118

7436-5C  
D-8205-2H  
6810-5C

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 アクティブマトリックス基板

⑮ 特 願 昭60-63401

⑯ 出 願 昭60(1985)3月29日

⑰ 発 明 者 宮 田 豊 門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 発 明 者 近 村 隆 夫 門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 永 田 清 一 門真市大字門真1006番地 松下電器産業株式会社内  
⑳ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
㉑ 代 理 人 弁理士 星 野 恒 司

## 明 細 書

1. 発明の名称 アクティブマトリックス基板

2. 特許請求の範囲

(1) 映像表示領域に配設された透明電極からなる複数の映像表示手段と、前記映像表示手段をドレインに接続させて、透光性基板上に形成した複数の第1の薄膜トランジスタと、前記第1の薄膜トランジスタを駆動するための信号が入力するソース配線群及びゲート配線群と、前記ソース配線群の各線にドレインをそれぞれ接続した複数の第2の薄膜トランジスタと、前記複数の第2の薄膜トランジスタのソースに接続した線を複数本毎に束ねてなる複数の映像信号入力配線と、前記複数の第2の薄膜トランジスタのゲートに接続した複数の信号切換用ゲート配線とが具備されていることを特徴とするアクティブマトリックス基板。

(2) 前記第2の薄膜トランジスタは、前記映像表示領域のいずれか一边で、前記映像信号入力配線と前記ソース配線群とに接続されることを特

徴とする特許請求の範囲第(1)項記載のアクティブマトリックス基板。

(3) 前記第2の薄膜トランジスタは、前記映像表示領域のいずれか二辺で、前記映像信号入力配線と前記ソース配線群とに接続されることを特徴とする特許請求の範囲第(1)項記載のアクティブマトリックス基板。

(4) 前記第1及び第2の薄膜トランジスタは、多結晶シリコン或いは水素化非晶質シリコンを構成要素として含むことを特徴とする特許請求の範囲第(1)項記載のアクティブマトリックス基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、透光性基板上に薄膜トランジスタをマトリックス状に形成したアクティブマトリックス基板に関するものであり、液晶を用いた表示装置等に用いられるものである。

(従来の技術)

近年、透光性基板上に薄膜トランジスタを用いたアクティブマトリックス基板の開発が活発である。

言うまでもなく、これ等のアクティブマトリックス基板は液晶等を用いた表示装置を目的としたものであるが、将来的には、大型の一次元或いは二次元イメージセンサ等の可能性もあり、広い応用が考えられる。

第4図は、薄膜トランジスタを用いた従来のアクティブマトリックス基板の回路構成を示すもので、1は多結晶シリコン或いは非晶質シリコンをその一構成要素とする透光性基板(図示しない)上に形成した薄膜トランジスタ、2は薄膜トランジスタ1のドレインに電気的に接続した透明電極と、カラーフィルタを形成する透光性基板上の透明な対向電極との間に液晶を注入した液晶表示体で、この液晶表示体2は映像表示領域3の各画素と対応する位置に配設されており、液晶による容量以外に、補助容量としてアクティブマトリックス基板に形成される容量が付加されることもある。4は薄膜トランジスタ1のゲートに接続したゲート配線、5は薄膜トランジスタ1のソースに接続したソース配線である。

このように構成された従来例では、ゲート配線4から1つのゲートラインを選択すると、ソース配線5を通して薄膜トランジスタ1のドレインと電気的に接続される透明電極に所定の電位が与えられる。このとき、透明電極と対向電極との間に注入されている液晶の光旋光性が変化して、2枚の偏光板により光透過率が変化するもので、以下、同様に、ゲート配線4から1つのゲートラインを順次選択していくことにより、1フィールドの画面が形成される。

(発明が解決しようとする問題点)

ところで、アクティブマトリックス基板と外部駆動回路との接続は、フレキシブルプリント基板によって各ゲート配線4及びソース配線5と直接接続する(例えば、特開昭52-116195号参照)か、或いは、映像表示領域外にシフトレジスタを設けて、このシフトレジスタでゲート配線4若しくはソース配線5を選択して、外部回路との接続本数を少なくする方法がとられる(例えば、特開昭58-219585号参照)。

しかしながら、前者のフレキシブルプリント基板によるゲート配線4及びソース配線5との直接接続は、液晶表示装置の解像度を向上させるために画素数を増加させた場合には、配線間のピッチが小さくなるので、実装が非常に困難となる問題があった。又、後者のシフトレジスタを用いる場合には、映像表示領域3の外周部にシフトレジスタを設けなければならないので、歩留りが低下すると共に、特に、水平操作のためには、高い移動度を有する半導体材料を用いる必要があるので、薄膜トランジスタを形成する材料が限定されるという問題があった。

本発明は、前述のような問題に鑑みてなされたもので、歩留りが大幅に向上し、且つ、製造原価が安くなるアクティブマトリックス基板を提供することを目的とするものである。

(問題を解決するための手段)

本発明は、映像表示領域に配設された薄膜トランジスタのソース配線に映像信号を印加するソース配線を数本1組にして接続するものである。

(作用)

映像表示領域に配設した薄膜トランジスタのゲート配線に印加する信号と、ソース配線に直列に接続した薄膜トランジスタの信号切替用ゲート配線に印加する信号とを制御することにより、映像表示領域に配設したどの薄膜トランジスタに映像信号を印加するかを選択できる。

(実施例)

以下図面により、本発明の実施例を詳細に説明する。

第1図は、本発明の一実施例におけるアクティブマトリックス基板の回路図であり、6は、コーニング社#7059、石英等の透光性基板(図示しない)上に形成した半導体薄膜(図示しない)、ゲート絶縁膜(図示しない)、ゲート配線7及びソース配線8からなる薄膜トランジスタ、9は薄膜トランジスタ6のドレインに接続した液晶表示体で、薄膜トランジスタ6と液晶表示体9とは、それぞれ、映像表示領域10の各画素と対応する位置にマトリックス状に配設されており、而も、マトリッ

クス状に配設された各薄膜トランジスタ6のゲートはゲート配線7によって行毎に並列接続され、ソースはソース配線8によって列毎に並列接続されている。尚、半導体薄膜には、プラズマCVD法によって形成した水素化非晶質Si、若しくは、減圧CVD法或いは電子ビーム蒸着法によって形成した多結晶Siを用い、又、ゲート絶縁膜には、プラズマCVD法によって形成した $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_x$ 、CVD法によって形成した $\text{SiO}_2$ 、若しくは、半導体層の熱酸化膜を用い、更に、ゲート配線7及びソース配線8には、DCスパッタリング法によって形成したMo、W、Cr或いはAl等の金属材料或いは $\text{MoSi}_x$ 等の金属硅化合物、減圧CVD法によって形成した多結晶Si、若しくは、DCスパッタリング法或いはRFスパッタリング法によって形成した $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ 、或いは $\text{In}_2\text{O}_3(\text{SnO}_2)$ 等の透明電極材料を用いればよく、ゲート配線7及びソース配線8の配線用材料は多層で用いてもよい。11は、それぞれ、映像表示領域10の外側において各ソース配線8に直列に

接続した薄膜トランジスタ、12は隣接する3つの薄膜トランジスタ11のソースを並列に接続した複数の映像信号入力配線、13は3つ目毎の薄膜トランジスタ11のゲートを順次並列に接続した複数の信号切換用ゲート配線である。

このように構成された本実施例の動作を、各配線に印加する駆動パルス及び信号電圧を示した第2図を参照しながら、説明する。

先ず、時間 $t_1$ では、パルス信号 $\phi_a$ がゲート配線7の7<sub>a</sub>を介して各薄膜トランジスタ6のゲートに印加されると同時に、パルス信号 $\phi_a$ が信号切換用ゲート配線13の13<sub>a</sub>を介して薄膜トランジスタ11<sub>a</sub>のゲートに印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 $V_s$ が、薄膜トランジスタ11<sub>a</sub>及びソース配線8<sub>a</sub>を介して薄膜トランジスタ6<sub>a</sub>のソースに印加されて、薄膜トランジスタ6<sub>a</sub>のドレイン電圧は所定の設定電圧となる。

又、時間 $t_2$ では、パルス信号 $\phi_a$ がゲート配

線7の7<sub>a</sub>を介して各薄膜トランジスタ6のゲートに印加されている状態で、パルス信号 $\phi_a$ が信号切換用ゲート配線13の13<sub>b</sub>を介して薄膜トランジスタ11<sub>b</sub>のゲートに印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 $V_s$ が、薄膜トランジスタ11<sub>b</sub>及びソース配線8<sub>b</sub>を介して薄膜トランジスタ6<sub>b</sub>のソースに印加されて、薄膜トランジスタ6<sub>b</sub>のドレイン電圧が所定の設定電圧となる。

更に、時間 $t_3$ では、パルス信号 $\phi_a$ がゲート配線7の7<sub>a</sub>を介して各薄膜トランジスタ6のゲートに印加されている状態で、パルス信号 $\phi_a$ が信号切換用ゲート配線13の13<sub>c</sub>を介して薄膜トランジスタ11<sub>c</sub>のゲートに印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 $V_s$ が、薄膜トランジスタ11<sub>c</sub>及びソース配線8<sub>c</sub>を介して薄膜トランジスタ6<sub>c</sub>のソースに印加されて、薄膜トランジスタ6<sub>c</sub>のドレイン電圧が所定の設定電圧と

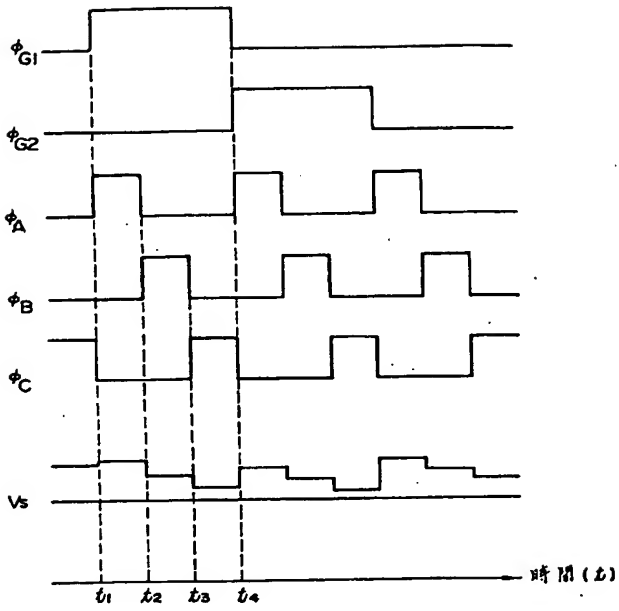
なり、第1の水平操作ラインの表示が終了する。

次に、時間 $t_4$ では、パルス信号 $\phi_a$ がゲート配線7の7<sub>a</sub>を介して各薄膜トランジスタ6のゲートに印加されるが、パルス信号 $\phi_a$ 、 $\phi_b$ 及び $\phi_c$ が、前述の如く、信号切換用ゲート配線13の13<sub>a</sub>、13<sub>b</sub>及び13<sub>c</sub>を介して薄膜トランジスタ11<sub>a</sub>、11<sub>b</sub>及び11<sub>c</sub>のゲートに順次印加されるので、映像信号入力配線12を介して各薄膜トランジスタ11のソースに印加されているパルス信号 $V_s$ が、時間 $t_1$ 、 $t_2$ 及び $t_3$ において、時間 $t_1$ 、 $t_2$ 及び $t_3$ と同様に、薄膜トランジスタ6<sub>a</sub>、6<sub>b</sub>及び6<sub>c</sub>のソースに順次印加されて、薄膜トランジスタ6<sub>a</sub>、6<sub>b</sub>及び6<sub>c</sub>のドレイン電圧が順次所定の設定電圧になり、第2の水平操作ラインの表示が終了する。

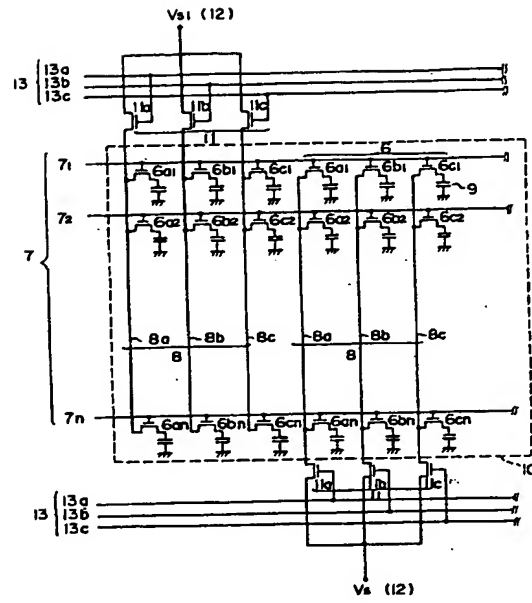
以下、前述の如き動作が順次繰り返して行なわれて、第 $n$ の水平操作ラインの薄膜トランジスタ6<sub>a</sub>、6<sub>b</sub>及び6<sub>c</sub>のドレイン電圧が順次所定の設定電圧になれば、1画面分の走査が完了し、信号表示のため各画素が選択されて、画像表示が可



第 2 図



第 3 図



第 4 図

